



05/11/04



**BEFORE THE OFFICE OF ENROLLMENT AND DISCIPLINE
UNITED STATE PATENT AND TRADEMARK OFFICE**

LIMITED RECOGNITION UNDER 37 CFR § 10.9(b)

Mr. Andreas Horst Lothar Grubert is hereby given limited recognition under 37 CFR § 10.9(b) as an employee of Baker Botts LLP, to prepare and prosecute patent applications for clients of Baker Botts LLP in which a member of Baker Botts LLP is the attorney of record. This limited recognition shall expire on the date appearing below, or when whichever of the following events first occurs prior to the date appearing below: (i) Mr. Andreas Horst Lothar Grubert ceases to lawfully reside in the United States, (ii) Mr. Andreas Horst Lothar Grubert's employment with Baker Botts LLP ceases or is terminated, or (iii) Mr. Andreas Horst Lothar Grubert ceases to remain or reside in the United States on an H-1B visa.

This document constitutes proof of such recognition. The original of this document is on file in the Office of Enrollment and Discipline of the U.S. Patent and Trademark Office.

Expires: June 30, 2004

Harry I. Moatz
Director of Enrollment and Discipline

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 30 797.7

Anmeldetag: 26. Juni 2001

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Schnittstelle zur Datenübertragung

IPC: G 06 F 13/14

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 22. April 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read 'Faust'.

Faust

Beschreibung

Schnittstelle zur Datenübertragung

5 Die Erfindung bezieht sich generell auf Systeme zum Erzeugen und/oder Verarbeiten von Datenbursts. Die Erzeugung und/oder Verarbeitung der Datenbursts erfolgt dabei in einer Mehrzahl von Modulen. Insbesondere betrifft die Erfindung eine Schnittstelle zwischen zwei benachbarten Modulen, über die
10 ein Daten- und Informationsaustausch stattfindet.

Mittels eines derartigen Systems können einerseits Datenbursts erzeugt werden, die anschließend schnurlos an einen Empfänger ausgesendet werden, und andererseits Datenbursts,
15 die zuvor schnurlos empfangen wurden, verarbeitet werden. Das System weist zu diesem Zweck Module auf, wobei zwischen benachbarten Modulen Daten ausgetauscht werden können. Jedes der Module erfüllt eine andere Aufgabe. Beispielsweise können die Module zur Verschlüsselung oder Entschlüsselung von Daten
20 oder zur Erzeugung eines CRC-Kontrollbitmusters (Cyclic Redundancy Check) am Ende eines Datenpakets dienen.

Bisherige Systeme der vorstehend beschriebenen Art weisen entweder einen vollständig festverdrahteten Aufbau auf oder
25 enthalten sowohl Software-gesteuerte Module als auch festverdrahtete Module, die für zeitaufwendige Verarbeitungsschritte, wie z.B. einen Scrambler, eingesetzt werden. Nachteilig an einer reinen Hardware-Lösung ist eine begrenzte Konfigurationsmöglichkeit der einzelnen Module und eine fehlende Flexibilität bei der Zusammenstellung der Module durch die feste
30 Verdrahtung der Module untereinander. Der Nachteil einer aus Software- und Hardware-Modulen bestehenden Lösung ist, daß die Datenverarbeitungsrate des Systems durch die Datenverarbeitungsrate des Prozessors, welcher die Daten den einzelnen
35 Modulen zuweist und sie anschließend wieder aus ihnen auskoppelt, limitiert ist.

Aufgabe der Erfindung ist es daher, ein System zum Erzeugen und/oder Verarbeiten von Datenbursts mit mindestens zwei seriell geschalteten Modulen zu schaffen, welches sowohl eine hohe fehlende Flexibilität bei der Zusammenstellung der Module als auch eine hohe Datenverarbeitungsrate aufweist. Insbesondere zielt die Erfindung darauf ab, eine Schnittstelle zwischen zwei benachbarten Modulen des Systems anzugeben, durch welche ein eventueller Datenverlust bei der Datenübertragung zwischen den beiden Modulen verhindert wird.

Die der Erfindung zugrundeliegende Aufgabenstellung wird durch die Merkmale der unabhängigen Patentansprüche gelöst. Vorteilhafte Weiterbildungen und Ausgestaltungen sind in den Unteransprüchen angegeben.

Ein erfindungsgemäßes System, mittels welchem sich Datenbursts erzeugen und/oder verarbeiten lassen, umfaßt ein erstes Modul und ein zu dem ersten Modul benachbartes zweites Modul, zwischen welchen mittels erster Sendemittel des ersten Moduls und mittels erster Empfangsmittel des zweiten Moduls Daten übertragen werden. Des weiteren enthält das erste Modul zweite Sendemittel sowie dritte Empfangsmittel, und das zweite Modul enthält zweite Empfangsmittel sowie dritte Sendemittel. Ein wesentlicher Gedanke der Erfindung liegt darin, daß mit den zweiten Sende- und Empfangsmitteln Informationen über die Gültigkeiten der Daten, welche mit den ersten Sende- und Empfangsmitteln übertragen werden, ausgetauscht werden. Mit den dritten Sende- und Empfangsmitteln werden dem ersten Modul von dem zweiten Modul Informationen übermittelt, aus denen hervorgeht, ob das zweite Modul die von dem ersten Modul ausgesandten gültigen Daten empfangen hat.

Das erfindungsgemäße System erlaubt es beispielsweise, die Module hardwaremäßig untereinander zu verbinden. Dabei ist die Art der Verbindung vorzugsweise durch eine Software bestimmt. Die Software legt die Verbindungen zwischen den Modulen durch Setzen von Registern fest und ist somit am Daten-

transport selbst nicht beteiligt. Dieses ermöglicht sowohl eine hohe Flexibilität bei der Wahl des Verarbeitungswegs, den die Daten durch die Module durchlaufen, als auch eine hohe Datenverarbeitungsrate, da die Software an der Übermittlung der Daten zwischen den Modulen lediglich indirekt beteiligt ist.

Ein weiterer Vorteil des erfindungsgemäßen Systems liegt in dem Informationsaustausch zwischen den zwei benachbarten Modulen. Da sowohl das erste Modul dem zweiten Modul die Information zukommen läßt, ob die zu dem jeweiligen Zeitpunkt übertragenen Daten gültig sind, als auch das zweite Modul dem ersten Modul die Information zukommen läßt, ob die übertragenen gültigen Daten auch empfangen wurden, erhalten beide Module stets von dem jeweils anderen Modul eine Status- bzw. Rückmeldung über die soeben ausgeführte Übertragung. Dadurch werden Datenverluste vermieden. Ebenso können Zeiten, die das zweite Modul zur Verarbeitung der Daten benötigt, durch die Erfindung besser berücksichtigt werden. Beispielsweise kann vorgesehen sein, daß erst weitere Datenübertragungen stattfinden, sobald das zweite Modul dem ersten Modul durch die entsprechende Informationsübertragung seine Bereitschaft dazu signalisiert hat.

Vorteilhafterweise enthalten das erste Modul zusätzlich vierte Sendemittel und das zweite Modul vierte Empfangsmittel. Die vierten Sende- und Empfangsmittel dienen zur Übermittlung von Informationen an das zweite Modul über einen eventuellen Abschluß einer Datenübertragung. Insbesondere können sich diese Informationen auf den Abschluß der Übertragung eines Datenpakets beziehen. Die beschriebene Maßnahme trägt zu einer weiteren Erhöhung der Übertragungssicherheit des erfindungsgemäßen Systems bei. Ein weiterer Vorteil dieser Maßnahme besteht darin, daß sie eine besondere Behandlung des Endes eines Datenpakets ermöglicht. Beispielsweise wird in einem Modul, welches eine CRC-Einheit (Cyclic Redundancy Check) enthält, eine Checksumme an das Datenpaket angehängt bzw. von

ihm entfernt. Außerdem löst in der Regel das Ende eines Datenpakets einen Interrupt an einen zugehörigen Prozessor aus.

5 Zur Synchronisation des Daten- und Informationsaustauschs zwischen den Modulen ist es vorteilhaft eine Taktgebereinheit einzusetzen, welche beispielsweise ein Taktsignal mit einem Takt von 26 MHz erzeugt.

10 Das Taktsignal kann beispielsweise ein binäres Rechtecksignal sein. Es kann vorteilhafterweise vorgesehen sein, daß die Übertragung von Daten und/oder Informationen mit einer Änderung des binären Rechtecksignals von einem Bit0-Zustand in einen Bit1-Zustand oder von einem Bit1-Zustand in einen Bit0-Zustand beginnt und endet.

15 Des weiteren sind vorteilhafterweise die übertragenen Daten digitale Daten, und sämtliche ausgetauschte Informationen weisen binäre Zustände, wie z.B. Bit0- und Bit1-Zustände, auf.

20 Bei den bisherigen Ausführungen wurde lediglich der Fall behandelt, daß die Datenübertragung von dem ersten Modul zu dem zweiten Modul erfolgt. Es kann allerdings auch vorgesehen sein, daß Datenübertragungen zwischen dem ersten und dem
25 zweiten Modul in beide Richtungen stattfinden. In diesem Fall müssen beide Module die entsprechenden Sende- und Empfangsmittel zur Übertragung von Daten und Informationen aufweisen.

30 Die Module des erfindungsgemäßen Systems können beispielsweise aus Modulen, wie sie nachstehend in der Beschreibung zu Fig. 1 erläutert werden, ausgewählt werden. Dabei ist es besonders vorteilhaft, sämtliche Module des erfindungsgemäßen Systems auf einem gemeinsamen festen Substrat zu integrieren. Da das erfindungsgemäße System durch serielle Schnittstellen
35 zwischen den einzelnen Modulen gekennzeichnet ist, benötigt das erfindungsgemäße System bei einer Integrierung auf einem

gemeinsamen festen Substrat weniger Platz im Vergleich zu bisherigen Systemen der gleichen Art.

5 Eine bevorzugte Anwendung des vorliegenden Systems bieten Geräte, mit denen Datenbursts schnurlos versendet sowie empfangen werden. Aufgrund der hohen Flexibilität des erfindungsgemäßen Systems können auf ihm Protokolle, die auf unterschiedlichen Standards, wie z.B. Bluetooth, DECT oder HomeRF, basieren, realisiert werden.

10

Ein weiterer Aspekt der Erfindung betrifft ein Verfahren zur Daten- und Informationsübertragung innerhalb eines Systems, welches dem vorstehend beschriebenen System entspricht. Dabei werden Daten und Informationen über die Gültigkeit der Daten
15 von dem ersten Modul zu dem zweiten Modul übertragen. In umgekehrter Richtung erhält das erste Modul von dem zweiten Modul Informationen darüber, ob gültige Daten empfangen wurden.

20

Das erfindungsgemäße Verfahren weist den Vorteil auf, daß jedes der beiden Module eine Meldung über den Status der gegenwärtigen Aussendung bzw. eine Rückmeldung über den gegenwärtigen Empfang an das jeweils andere Modul übermittelt. Durch einen derartigen gegenseitigen Informationsaustausch wird die Sicherheit gegen Datenverluste erhöht. Des weiteren können
25 die Module weitere Datenübertragungen mit dem gegenwärtigen Verarbeitungszustand des jeweils anderen Moduls abstimmen.

30

Die Erfindung wird nachfolgend in beispielhafter Weise unter Bezugnahme auf die Zeichnungen näher erläutert. In diesen zeigen:

Fig. 1 eine schematische Darstellung eines Ausführungsbeispiels des erfindungsgemäßen Systems zum Erzeugen und/oder Verarbeiten von Datenbursts;

35

Fig. 2 eine schematische Darstellung einer Schnittstelle zwischen zwei benachbarten Modulen eines Ausführungsbeispiels des erfindungsgemäßen Systems; und

5 Fig. 3 Schemata zur Übertragung von Daten und Informationen zwischen zwei benachbarten Modulen eines Ausführungsbeispiels des erfindungsgemäßen Systems.

10 In Fig. 1 ist ein System 1 gezeigt, mittels welchem einerseits Datenbursts erzeugt werden können, die anschließend schnurlos an einen Empfänger ausgesandt werden, und andererseits Datenbursts, die zuvor schnurlos empfangen wurden, verarbeitet werden können. Das System 1 weist zu diesem Zweck
15 seriell geschaltete Module 2 bis 9 auf, wobei zwischen benachbarten Modulen Daten ausgetauscht werden können. Dieses ist in Fig. 1 durch die entsprechenden Pfeile dargestellt. Zur Erzeugung eines Datenbursts wird das System 1 von Modul 2 entlang der Pfeile nach Modul 9 durchlaufen. Im umgekehrten
20 Fall kann ein Datenburst, welcher zuvor empfangen wurde, verarbeitet werden, indem das System 1 von Modul 9 nach Modul 2 hin durchlaufen wird. Jedes der Module 3 bis 7 kann wahlweise auch deaktiviert werden, so daß das betreffende Modul an der Erzeugung bzw. Verarbeitung der Datenbursts in diesem Fall
25 nicht beteiligt ist.

Bei der Erzeugung eines Datenbursts bezieht das Modul 2, welches eine DMA-Einheit (Direct Memory Access) enthält, die für den Datenburst benötigten Daten von einer Speichereinheit 10.
30 Danach werden die Daten wahlweise entweder an das Modul 3 und anschließend an das Modul 4 oder direkt an das Modul 4 transferiert. Das Modul 3 ist ein CVSD-Codierer (Continuous Variable Slope Delta). Bei einer CVSD-Codierung werden analoge Sprachsignale in einen digitalen Datenstrom umgewandelt. An-
35 stelle des CVSD-Codierers kann das Modul 3 auch andere Sprachcodierer, wie beispielsweise eine ADPCM-Einheit (Adaptive Delta Pulse Code Modulator), enthalten. Das Modul 4

ist ein CRC-Generator (Cyclic Redundancy Check). Der CRC-Generator fügt beispielsweise einem auszusendenden Datenpaket oder Datenburst ein Kontrollbitmuster hinzu, anhand dessen empfängerseitig Übertragungsfehler erkannt und gegebenenfalls auch korrigiert werden können. Das Modul 5 dient zur Verschlüsselung der Daten. Das dem Modul 5 nachgeschaltete Modul 6 enthält einen Scrambler (Data Whitening), welcher digitale Daten verschlüsselt, indem er sie in ein Pseudo-Zufallssignal umsetzt. Mittels eines entsprechenden Codes wird das Pseudo-Zufallssignal empfängerseitig wieder entschlüsselt. Das Modul 7 bewirkt eine weitere Maßnahme zur Fehlererkennung und Fehlerkorrektur durch ein FEC-Verfahren (Forward Error Correction). Anschließend gelangen die Daten in das Modul 8, welches einen FIFO-Speicher (First in - First out) enthält. Jedes der Module 4 bis 7 kann auch deaktiviert werden. Ein deaktiviertes Modul wird von den Daten durchlaufen, ohne daß das deaktivierte Modul die Daten in der vorgegebenen Weise bearbeitet. Dieses Vorgehen ist notwendig, um die verschiedenen Teile eines Datenpakets, wie z.B. den Access Code, den Datenpaketkopf oder den Nutzdatenteil, generieren zu können. Sobald ein komplettes Datenpaket in dem Modul 8 zwischengespeichert ist, teilt das Modul 8 einem zugehörigen Prozessor dieses durch einen Interrupt 11 mit. Dadurch wird der Prozessor veranlaßt, das in dem Modul 8 befindliche Datenpaket an das Modul 9 weiterzuleiten, von wo es an einen zugehörigen Empfänger ausgesandt wird. Währenddessen konfiguriert der Prozessor außerdem die Module 3 bis 7 für die Erzeugung des nächsten Datenpakets.

Beim Empfang eines Datenpakets oder Datenbursts wird die Sequenz der Module 2 bis 9 in umgekehrter Reihenfolge zu der vorstehend beschriebenen Reihenfolge durchlaufen. Dabei führen die Module 3 bis 7 jeweils eine Funktion aus, welche invers zu ihrer vorstehend beschriebenen Funktion ist. Beispielsweise dient das Modul 5 nunmehr der Entschlüsselung der Daten eines empfangenen Datenpakets anstelle der vorstehend beschriebenen Verschlüsselung der auszusendenden Daten. Nach

der Verarbeitung der empfangenen Daten wird das verarbeitete Datenpaket in der Speichereinheit 10 zwischengespeichert. Sobald das letzte Bit des verarbeiteten Datenpakets zwischengespeichert ist, wird von der DMA-Einheit des Moduls 2 ein Interrupt 12 erzeugt, woraufhin mit der Verarbeitung des nächsten im FIFO-Speicher des Moduls 8 wartenden Datenpakets begonnen wird.

In Fig. 2 ist schematisch eine Schnittstelle zwischen einem Modul A und einem dazu benachbarten Modul B eines Ausführungsbeispiels des erfindungsgemäßen Systems dargestellt. Bei den Modulen A und B kann es sich beispielsweise um zwei der in Fig. 1 gezeigten Module 2 bis 9 handeln. Von einem Ausgang DataOut des Moduls A werden digitale Daten Data zu einem Eingang DataIn des Moduls B übertragen. Sofern die übertragenen Daten Data gültig sind, teilt das Modul A dieses dem Modul B mittels einer Information Enable mit. Zu diesem Zweck weisen das Modul A einen Ausgang DataEn_O und das Modul B einen Eingang DataEn_I auf. Bei einem erfolgreichen Empfang gültiger Daten Data durch das Modul B signalisiert das Modul B dieses dem Modul A durch eine Information Read, welche zwischen einem Ausgang DataRd_O des Moduls B und einem Eingang DataRd_I des Moduls A übertragen wird. Nachdem das letzte gültige Bit eines Datenpakets von dem Modul A zu dem Modul B übertragen wurde und dieses Bit von dem Modul B gelesen wurde, signalisiert eine von dem Modul A ausgesandte Information Ready dem Modul B, daß die Datenübertragung vorläufig beendet ist. Die Zeitspanne bis zur nächsten Datenübertragung wird zur Generierung eines neuen Datenpakets benötigt.

In den Fig. 3A, 3B und 3C sind schematisch verschiedene Daten- und Informationsübertragungen zwischen den Modulen A und B gezeigt. Die übertragenen Daten Data sind Bitfolgen, die sich aus Bits b_i ($i = 1, 2, 3, \dots$) zusammensetzen. Die Informationen Enable, Read und Ready, die zwischen den Modulen A und B ausgetauscht werden, weisen entweder einen Bit0- oder einen Bit1-Zustand auf. Vorzugsweise steht das erfindungsge-

mäße System mit einer Taktgebereinheit in Verbindung, welche beispielsweise wie in dem vorliegenden Ausführungsbeispiel ein rechteckförmiges Taktsignal CLK26 mit einer Frequenz von 26 MHz erzeugt, welches ebenfalls einen Bit0- oder einen Bit1-Zustand annehmen kann. Die an den jeweiligen Ausgängen der Module A und B auskoppelbaren Informationen Enable, Read und Ready ändern ihre Zustände nur bei einer ansteigenden Flanke des Taktsignals CLK26. Die an den Eingängen der Module A und B empfangenen Informationen Enable, Read und Ready werden ebenfalls nur bei einer ansteigenden Flanke des Taktsignals CLK26 gelesen.

In den Fig. 3A bis 3C ist gezeigt, daß die Information Enable bei einer gültigen Übertragung der Daten Data von dem Modul A in einem Bit1-Zustand ausgegeben wird. Sofern das Modul B sowohl ein Bit b_i der Daten Data gelesen hat als auch die Information Enable im Bit1-Zustand empfängt, teilt das Modul B dem Modul A den Empfang eines gültigen Bits b_i dadurch mit, daß es als Information Read einen kurzen Puls im Bit1-Zustand aussendet.

Während einer Übertragung gültiger Bits b_i beläßt das Modul A die Information Enable im Bit1-Zustand, solange es innerhalb des nächsten Zyklus des Taktsignals CLK26 neue gültige Daten Data übermitteln kann. Sobald jedoch ungültige oder keine Daten übersandt werden, wird die Information Enable auf den Bit0-Zustand gesetzt. Beispielsweise ist in Fig. 3C gezeigt, daß nachdem das Bit b_0 vom Modul B während eines Bit1-Zustands der Information Enable gelesen wurde, die Information Enable von dem Modul A wieder auf den Bit0-Zustand zurückgesetzt wird. Dadurch wird dem Modul B signalisiert, daß innerhalb des nächsten Zyklus des Taktsignals CLK26 keine gültigen Daten Data versendet werden.

Nachdem das letzte gültige Bit b_i eines Datenpakets, welches beispielsweise in Fig. 3A die Bits b_0 bis b_5 enthält, übertragen wurde und von dem Modul B gelesen wurde, wird die In-

formation Ready auf den Bit1-Zustand gesetzt. Dadurch wird dem Modul B signalisiert, daß die Datenübertragung vorerst unterbrochen oder beendet ist.

- 5 In Fig. 3A ist die maximale Datenübertragungsrate des vorliegenden Ausführungsbeispiels gezeigt. Bei einem 26 MHz-Taktsignal kann innerhalb von zwei Zyklen des Taktsignals CLK26 ein Bit b_i übertragen werden. Dieses entspricht einer Datenübertragungsrate von 13 MBit/s.

10

Die gegenseitige Übertragung der Informationen Enable, Read und Ready zwischen den Modulen A und B gewährleistet, daß das Modul B stets über den Zustand der Datenübertragung informiert ist, und daß das Modul A stets eine Rückmeldung darüber

15 erhält, ob ein Übertragungsschritt erfolgreich war.

Patentansprüche

1. System (1) zum Erzeugen und/oder Verarbeiten von Datenbursts mit mindestens zwei seriell geschalteten Modulen (2, 3, ..., 9), wobei zwischen einem ersten Modul (A) und einem benachbarten zweiten Modul (B) Daten- und Informationsübertragung stattfindet, und

- das erste Modul (A) erste Sendemittel (DataOut) aufweist und das zweite Modul (B) erste Empfangsmittel (DataIn) aufweist, welche zur Übertragung von Daten (Data) dienen,
- das erste Modul (A) zweite Sendemittel (DataEn_O) aufweist und das zweite Modul (B) zweite Empfangsmittel (DataEn_I) aufweist, welche zur Übertragung von Informationen (Enable) über die Gültigkeit der Daten (Data) dienen, und
- das zweite Modul (B) dritte Sendemittel (DataRd_O) aufweist und das erste Modul (A) dritte Empfangsmittel (DataRd_I) aufweist, welche zur Übertragung von Informationen (Read) über den Empfang gültiger Daten dienen.

2. System (1) nach Anspruch 1,

d a d u r c h g e k e n z e i c h n e t,

- daß das erste Modul (A) vierte Sendemittel (Ready_O) aufweist und das zweite Modul (B) vierte Empfangsmittel (Ready_I) aufweist, welche zur Übertragung von Informationen (Ready) über den Abschluß einer Datenübertragung, insbesondere über den Abschluß der Übertragung eines Datenpakets, dienen.

3. System (1) nach Anspruch 1 oder 2,

d a d u r c h g e k e n z e i c h n e t,

- daß das erste Modul (A) und das zweite Modul (B) durch feste Verdrahtungen miteinander verbunden sind, wobei Verbindungen zur Daten- und Informationsübertragung zwischen dem ersten Modul (A) und dem zweiten Modul (B) durch eine Software, welche zu diesem Zweck insbesondere Register setzt, festlegbar sind.

4. System (1) nach einem oder mehreren der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß das System mit einem von einer Taktgebereinheit erzeugten Taktsignal (CLK26), welches insbesondere einen Takt von 26 MHz aufweist, beaufschlagbar ist.

5. System (1) nach Anspruch 4,

d a d u r c h g e k e n n z e i c h n e t,

- daß eine Übertragung von Daten (Data) und/oder Informationen (Enable, Read, Ready) mit einem Taktsignal (CLK26) der Taktgebereinheit beginnt und endet.

6. System (1) nach Anspruch 4 oder 5,

d a d u r c h g e k e n n z e i c h n e t,

- daß das Taktsignal (CLK26) ein binäres Rechtecksignal ist.

7. System (1) nach Anspruch 6,

d a d u r c h g e k e n n z e i c h n e t,

- daß eine Übertragung von Daten (Data) und/oder Informationen (Enable, Read, Ready) mit einer Änderung des binären Rechtecksignals (CLK26) von einem Bit0-Zustand in einen Bit1-Zustand oder von einem Bit1-Zustand in einen Bit0-Zustand beginnt und endet.

8. System (1) nach einem oder mehreren der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß die Daten (Data) Bitfolgen (bi) umfassen.

9. System (1) nach einem oder mehreren der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß die Informationen (Enable) über die Gültigkeit der Daten (Data) und/oder die Informationen (Read) über den Empfang gültiger Daten und/oder die Informationen (Ready)

über den Abschluß einer Datenübertragung binäre Zustände aufweisen.

10. System (1) nach Anspruch 9,

5 d a d u r c h g e k e n n z e i c h n e t,

- daß bei der Aussendung gültiger Daten durch die ersten Sendemittel (DataOut) die Informationen (Enable) über die Gültigkeit der Daten (Data) von den zweiten Sendemitteln (DataEn_O) in einem Bit1-Zustand oder in einem Bit0-Zustand ausgesendet werden.

11. System (1) nach Anspruch 10,

d a d u r c h g e k e n n z e i c h n e t,

- daß beim Empfang von Daten (Data) durch die ersten Empfangsmittel (DataIn) und beim Empfang von Informationen (Enable) über die Gültigkeit der Daten (Data) in einem hohen Zustand durch die zweiten Empfangsmittel (DataEn_I) als Information (Read) über den Empfang gültiger Daten von den dritten Sendemitteln (DataRd_O) ein Puls in einem Bit1-Zustand oder in einem Bit0-Zustand ausgesendet wird.

12. System (1) nach einem oder mehreren der Ansprüche 9 bis 11,

d a d u r c h g e k e n n z e i c h n e t,

- daß nach dem Abschluß der Aussendung von Daten (Data) durch die ersten Sendemittel (DataOut) und nach dem gültigen Empfang der Daten (Data) durch die ersten Empfangsmittel (DataIn) von den vierten Sendemitteln (Ready_O) die Informationen (Ready) über den Abschluß einer Datenübertragung in einem Bit1-Zustand oder in einem Bit0-Zustand gesendet werden.

13. System (1) nach einem oder mehreren der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,

- daß die mindestens zwei seriell geschalteten Module (2, 3, ..., 9) aus der Gesamtheit einer Liste aus Modulen auswählbar sind, die folgende Module umfaßt:

- Modul (2) zum Zugriff auf eine Speichereinheit (10),

5 Modul (3) mit einem CVSD-Codierer und/oder CVSD-Decodierer,

Modul mit einer ADPCM-Einheit,

Modul (4) mit einem CRC-Generator und/oder CRC-Verarbeiter,

10 Modul (5) zur Verschlüsselung und/oder Entschlüsselung von Daten (Data),

Modul (6) mit einem Scrambler und/oder Descrambler,

Modul (7) mit einer FEC-Einheit,

Modul (8) mit einem FIFO-Speicher, und

15 Modul (9) mit einer Einheit zum Versenden und/oder zum Empfangen von Daten (Data), wobei

- die ausgewählten Module (2, 3, ..., 9) insbesondere auf einem gemeinsamen festen Substrat integriert sind.

20 14. Verfahren zur Daten- und Informationsübertragung zwischen einem ersten Modul (A) und einem benachbarten zweiten Modul (B), welche in einem System (1) zum Erzeugen und/oder Verarbeiten von Datenbursts mit mindestens zwei seriell geschalteten Modulen (2, 3, ..., 9) enthalten sind, bei welchem

25 - Daten (Data) von dem ersten Modul (A) zu dem zweiten Modul (B) übertragen werden,

- Informationen (Enable) über die Gültigkeit der Daten (Data) von dem ersten Modul (A) zu dem zweiten Modul (B) übertragen werden, und

30 - Informationen (Read) über den Empfang gültiger Daten von dem zweiten Modul (B) zu dem ersten Modul (A) übertragen werden.

15. Verfahren nach Anspruch 14,

35 d a d u r c h g e k e n n z e i c h n e t,

- daß Informationen (Ready) über den Abschluß einer Datenübertragung, insbesondere über den Abschluß der Übertra-

gung eines Datenpakets, von dem ersten Modul (A) zu dem zweiten Modul (B) übertragen werden.

16. Verfahren nach Anspruch 14 oder 15,

5 d a d u r c h g e k e n n z e i c h n e t,

- daß das erste Modul (A) und das zweite Modul (B) durch feste Verdrahtungen miteinander verbunden sind, wobei Verbindungen zur Daten- und Informationsübertragung zwischen dem ersten Modul (A) und dem zweiten Modul (B) durch eine
- 10 Software, welche zu diesem Zweck insbesondere Register setzt, bestimmt werden.

17. Verfahren nach einem oder mehreren der Ansprüche 14 bis 16,

15 d a d u r c h g e k e n n z e i c h n e t,

- daß eine Taktgebereinheit ein Taktsignal (CLK26), welches insbesondere einen Takt von 26 MHz aufweist, erzeugt.

18. Verfahren nach Anspruch 17,

20 d a d u r c h g e k e n n z e i c h n e t,

- daß eine Übertragung von Daten (Data) und/oder Informationen (Enable, Read, Ready) mit einem Taktsignal (CLK26) der Taktgebereinheit beginnt und endet.

25 19. Verfahren nach Anspruch 17 oder 18,

d a d u r c h g e k e n n z e i c h n e t,

- daß das Taktsignal (CLK26) ein binäres Rechtecksignal ist.

20. Verfahren nach Anspruch 19,

30 d a d u r c h g e k e n n z e i c h n e t,

- daß eine Übertragung von Daten (Data) und/oder Informationen (Enable, Read, Ready) mit einer Änderung des binären Rechtecksignals (CLK26) von einem Bit0-Zustand in einen Bit1-Zustand oder von einem Bit1-Zustand in einen Bit0-
- 35 Zustand beginnt und endet.

21. Verfahren nach einem oder mehreren der Ansprüche 14 bis 20,

d a d u r c h g e k e n n z e i c h n e t,

- daß die Daten (Data) Bitfolgen (bi) umfassen.

5

22. Verfahren nach einem oder mehreren der Ansprüche 14 bis 21,

d a d u r c h g e k e n n z e i c h n e t,

- daß die Informationen (Enable) über die Gültigkeit der Daten (Data) und/oder die Informationen (Read) über den Empfang gültiger Daten und/oder die Informationen (Ready) über den Abschluß einer Datenübertragung binäre Zustände aufweisen.

10

15 23. Verfahren nach Anspruch 22,

d a d u r c h g e k e n n z e i c h n e t,

- daß bei der Aussendung gültiger Daten durch das erste Modul (A) die Informationen (Enable) über die Gültigkeit der Daten (Data) von dem ersten Modul (A) in einem Bit1-Zustand oder in einem Bit0-Zustand ausgesendet werden.

20

24. Verfahren nach Anspruch 23,

d a d u r c h g e k e n n z e i c h n e t,

- daß beim Empfang von Daten (Data) durch das zweite Modul (B) und beim Empfang von Informationen (Enable) über die Gültigkeit der Daten (Data) in einem hohen Zustand durch das zweite Modul (B) als Information (Read) über den Empfang gültiger Daten von dem zweiten Modul (B) ein Puls in einem Bit1-Zustand oder in einem Bit0-Zustand ausgesendet wird.

25

30

25. Verfahren nach einem oder mehreren der Ansprüche 22 bis 24,

d a d u r c h g e k e n n z e i c h n e t,

- 35 - daß nach dem Abschluß der Aussendung von Daten (Data) durch das erste Modul (A) und nach dem gültigen Empfang der Daten (Data) durch das zweite Modul (B) von dem ersten

Modul (A) die Informationen (Ready) über den Abschluß einer Datenübertragung in einem Bit1-Zustand oder in einem Bit0-Zustand gesendet werden.

5 26. Verfahren nach einem oder mehreren der Ansprüche 14 bis 25,

d a d u r c h g e k e n n z e i c h n e t,

- daß die mindestens zwei seriell geschalteten Module (2, 3, ..., 9) aus der Gesamtheit einer Liste aus Modulen aus-
10 wählbar sind, die folgende Module umfaßt:

- Modul (2) zum Zugriff auf eine Speichereinheit (10),
Modul (3) mit einem CVSD-Codierer und/oder CVSD-
Decodierer,

Modul mit einer ADPCM-Einheit,

15 Modul (4) mit einem CRC-Generator und/oder CRC-
Verarbeiter,

Modul (5) zur Verschlüsselung und/oder Entschlüsselung
von Daten (Data),

Modul (6) mit einem Scrambler und/oder Descrambler,

20 Modul (7) mit einer FEC-Einheit,

Modul (8) mit einem FIFO-Speicher, und

Modul (9) mit einer Einheit zum Versenden und/oder zum
Empfangen von Daten (Data), wobei

- die ausgewählten Module (2, 3, ..., 9) insbesondere auf einem
gemeinsamen festen Substrat integriert sind.
25

Zusammenfassung

Schnittstelle zur Datenübertragung

- 5 Die Erfindung betrifft ein System zum Erzeugen und/oder Ver-
arbeiten von Datenbursts mit mindestens zwei seriell geschal-
teten Modulen, wobei von einem ersten Modul (A) zu einem be-
nachbarten zweiten Modul (B) Daten (Data) sowie Informationen
(Enable) über die Gültigkeit der Daten (Data) übertragen wer-
10 den und von dem zweiten Modul (B) zu dem ersten Modul (A) In-
formationen (Read) über den Empfang gültiger Daten übertragen
werden.

(Fig. 2 für die Zusammenfassung)

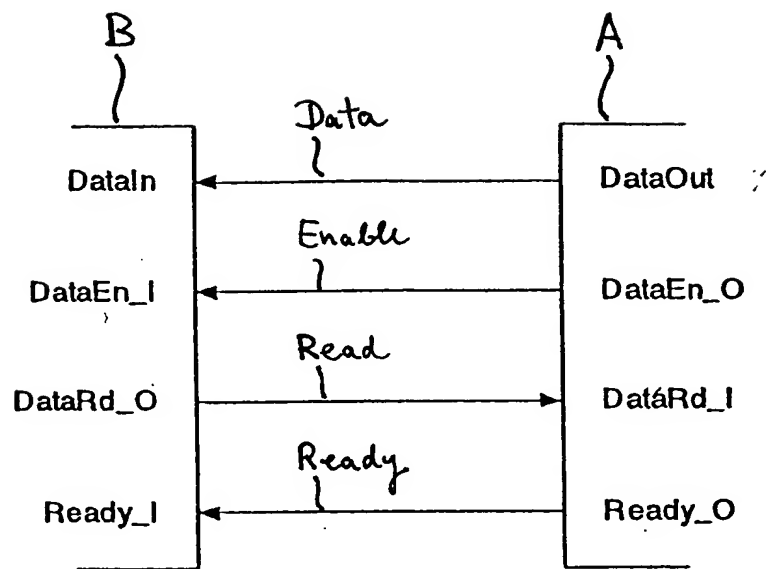


Fig. 2

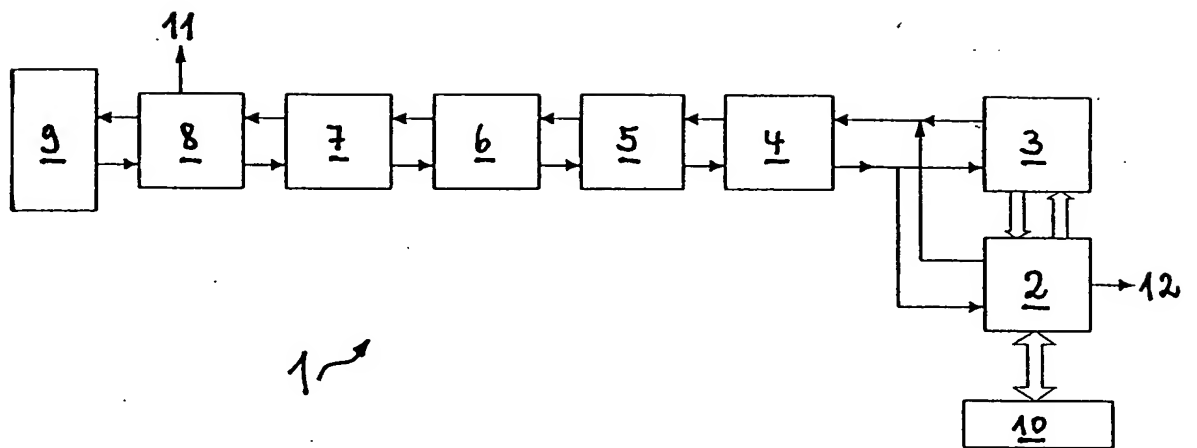


Fig. 1

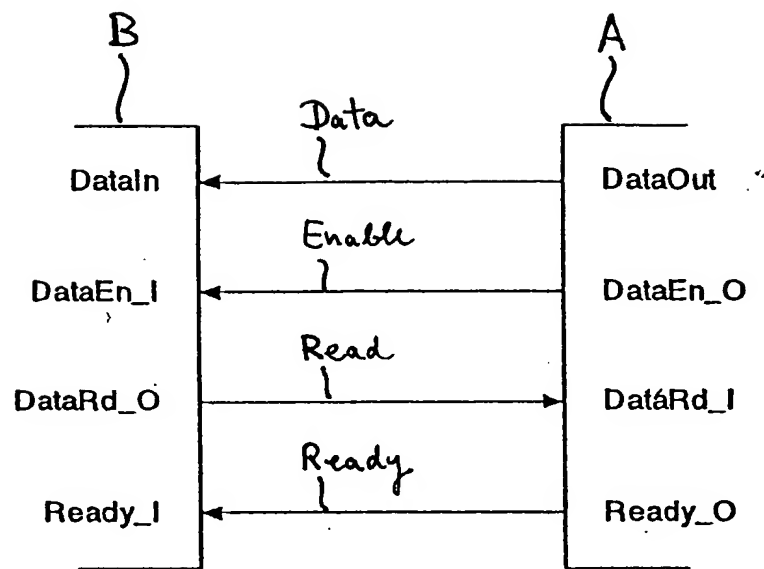


Fig. 2

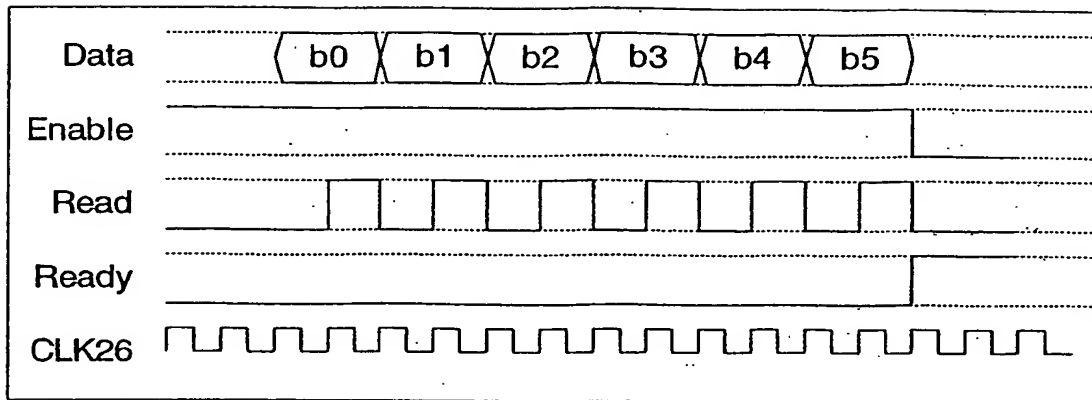


Fig. 3A

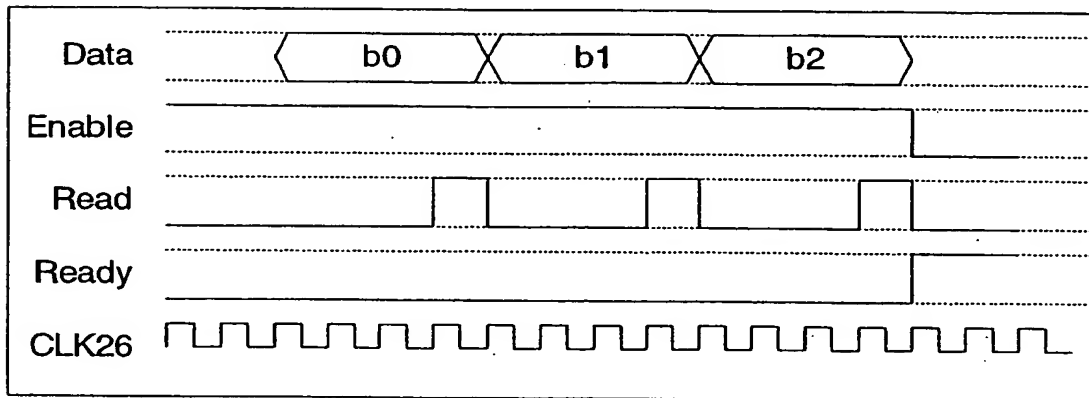


Fig. 3B

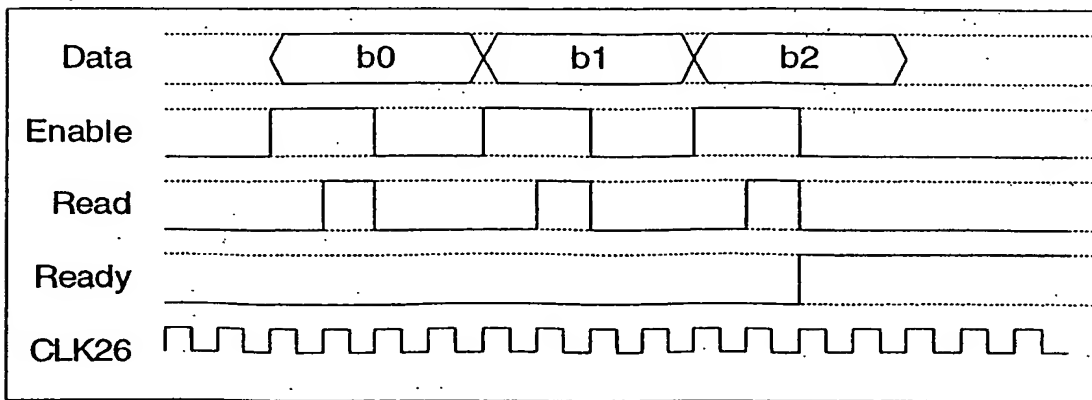


Fig. 3C